Logo

Description automatically generated

**Documentatie procesor MIPS pipeline-16 biti**

Student : Pojar Andrei-Gabriel

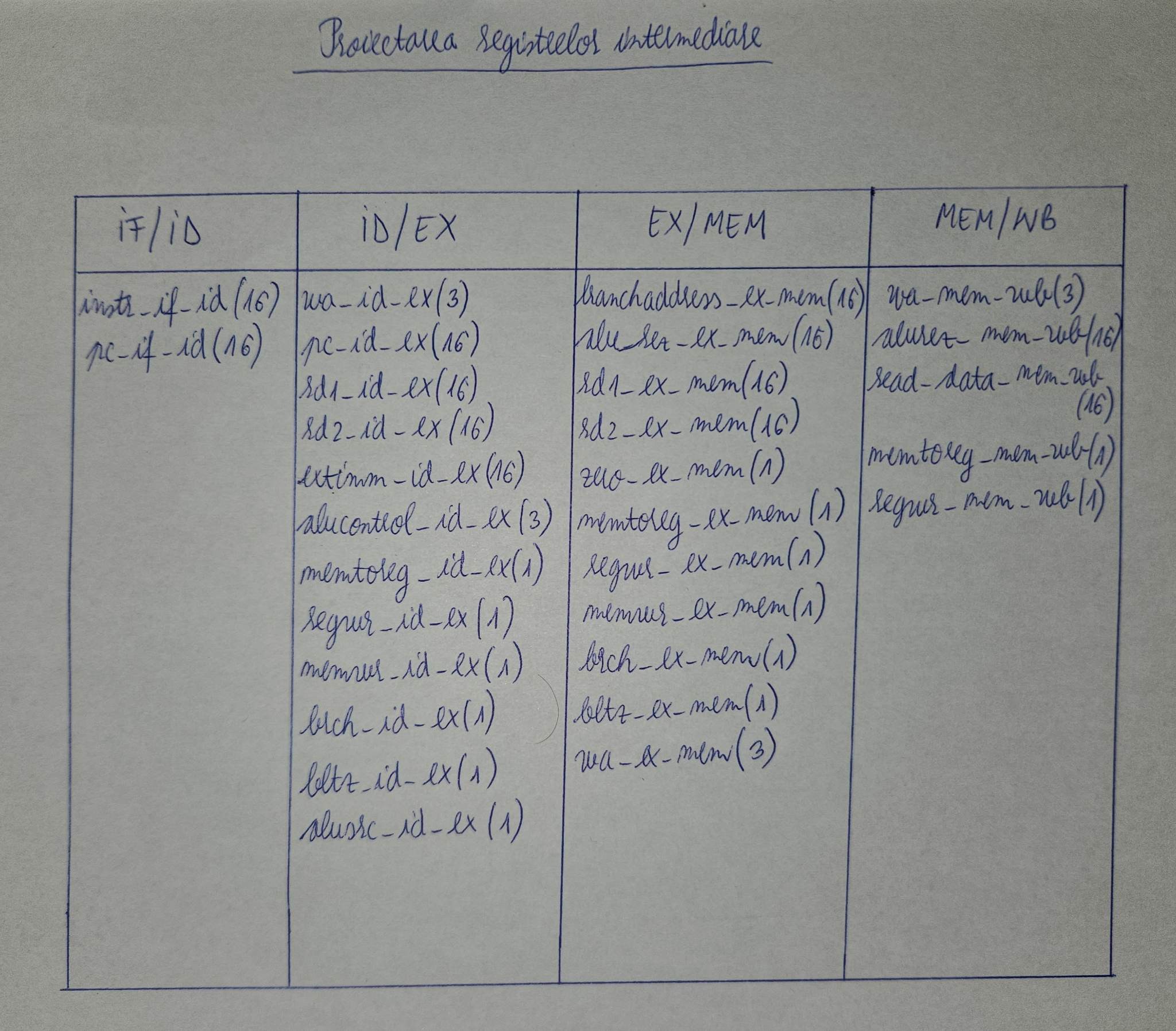
Grupa : 30223

Indrumator Laborator : Dragos Florin Lisman

1. **Modificari particulare**

Modificarea particulara facuta la MIPS pipeline fata de schema din indrumatorul de laborator este adaugarea unui multiplexor care sa selecteze adresa de branch pentru instructiunea suplimentara aleasa: bltz(branch on less than zero). Acest multiplexor adaugat este controlat de un semnal de control care este iesirea unei porti logice SI(AND). Aceasta poarta realizeaza un SI logic intre semnalul Bltz si cel mai semnificativ bit al registrului RS, adica RS(15).

1. **Proiectarea registrelor intermediare**



1. **Schema procesorului MIPS pipeline**

Diagram, schematic

Description automatically generated

1. **Hazarduri in procesorul MIPS pipeline**

Hazarduri identificate:

1. Am identificat mai intai ca dupa toate instructiunile de tip branch sau jump(adica instructiunile 3,7,10,13,16,19,22,24,26,29) este hazard de control
2. Intre instructiunile 1 si 3 este hazard RAW dupa reg $1
3. Intre instructiunile 2 si 3 este hazard RAW dupa reg $2
4. Intre instructiunile 4 si 6 este hazard RAW dupa reg $3
5. Intre instructiunile 5 si 6 este hazard RAW dupa reg $5
6. Intre instructiunile 5 si 7 este hazard RAW dupa reg $5
7. Intre instructiunile 6 si 7 este hazard RAW dupa reg $4
8. Intre instructiunile 8 si 9 este hazard RAW dupa reg $4
9. Intre instructiunile 9 si 10 este hazard RAW dupa reg $5
10. Intre instructiunile 14 si 15 este hazard RAW dupa reg $4
11. Intre instructiunile 15 si 16 este hazard RAW dupa reg $5
12. Intre instructiunile 20 si 22 este hazard RAW dupa reg $1
13. Intre instructiunile 21 si 22 este hazard RAW dupa reg $2
14. Intre instructiunile 23 si 24 este hazard RAW dupa reg $3
15. Intre instructiunile 23 si 25 este hazard RAW dupa reg $3
16. Intre instructiunile 27 si 28 este hazard RAW dupa reg $2

Programul in asamblare corectat dupa ce au fost rezolvate hazardurile:

1. ADD $1, $0, $0
2. LW $2, $0, 0
3. NoOp
4. NoOp
5. BEQ $1, $2, 42
6. NoOp
7. NoOp
8. NoOp
9. LW $3, $1, 4
10. ADDI $5, $0, 1
11. NoOp
12. NoOp
13. AND $4, $3, $5
14. NoOp
15. NoOp
16. BEQ $4, $5, 28
17. NoOp
18. NoOp
19. NoOp
20. LW $4, $0, 1
21. NoOp
22. NoOp
23. SUB $5, $3, $4
24. NoOp
25. NoOp
26. BLTZ $5, 7
27. NoOp
28. NoOp
29. NoOp
30. SW $4, $0, 2
31. SW $3, $0, 1
32. JUMP 44
33. NoOp
34. LW $4, $0, 2
35. NoOp
36. NoOp
37. SUB $5, $3, $4
38. NoOp
39. NoOp
40. BLTZ $5, 4
41. NoOp
42. NoOp
43. NoOp
44. SW $3, $0, 2
45. ADDI $1, $1, 1
46. JUMP 4
47. NoOp
48. LW $1, $0, 1
49. NoOp
50. NoOp
51. LW $2, $0, 2
52. NoOp
53. NoOp
54. BEQ $1, $2, 19
55. NoOp
56. NoOp
57. NoOp
58. SUB $3, $1, $2
59. NoOp
60. NoOp
61. BLTZ $3, 6
62. NoOp
63. NoOp
64. NoOp
65. SW $3, $0, 1
66. JUMP 47
67. NoOp
68. SUB $2, $2, $1
69. NoOp
70. NoOp
71. SW $2,$0,2
72. JUMP 47
73. NoOp
74. SW $1,$0,3
75. NoOp
76. NoOp

Diagrama de pipeline

Chart, box and whisker chart

Description automatically generated

1. **Nu exista parti incomplete din procesor din laboratoarele 9-10**
2. **Testare**

Toate componentele necesare procesorului au fost implementate si testate si nu exista erori in codul scris in VHDL. Programul care face acest procesor a fost simulat, iar mai apoi a fost generat bitstream-ul. Programul a fost testat pe placa, dar nu functioneaza in totalitate corect.